

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-241586

(43)Date of publication of application : 28.08.1992

(51)Int.Cl.

H04N 5/335

(21)Application number : 03-014788

(71)Applicant : SONY CORP

(22)Date of filing : 14.01.1991

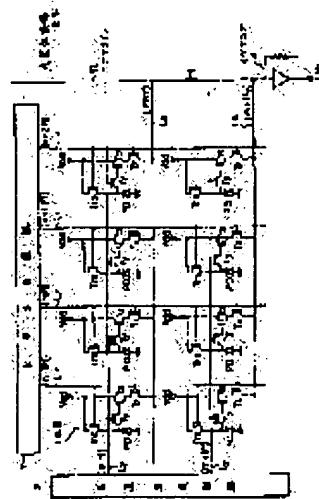
(72)Inventor : OGISHI TAKESHI

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To easily suppress fixed pattern noise caused by the dispersion of a threshold voltage or the like at low cost by easily obtaining an offset corrected image signal without using an external memory or the like at an AMI.

CONSTITUTION: At each picture element 1, a column select signal having a binary amplitude is supplied to a column select line Lx to which a horizontal switching transistor Tx and a transistor Trs for reset are connected, and a signal current superimposing a real signal current and an offset current to and an offset current are successively outputted to a signal line Ls. Then, the respective signal current and offset current are converted to voltages by an operational amplifier 4 and defined as a signal output voltage and a reset output voltage respectively and afterwards, these output voltages Vo are sampled/held, for example, so as to subtract the above-mentioned signal output voltage and reset output voltage by using a differential amplifier, for example, in the rear step.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-241586

(43)公開日 平成4年(1992)8月28日

(51)Int.Cl.⁵

H 04 N 5/335

識別記号

庁内整理番号

E 8838-5C

F I

技術表示箇所

審査請求 未請求 請求項の数1(全6頁)

(21)出願番号 特願平3-14788

(22)出願日 平成3年(1991)1月14日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 大岸 豪

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

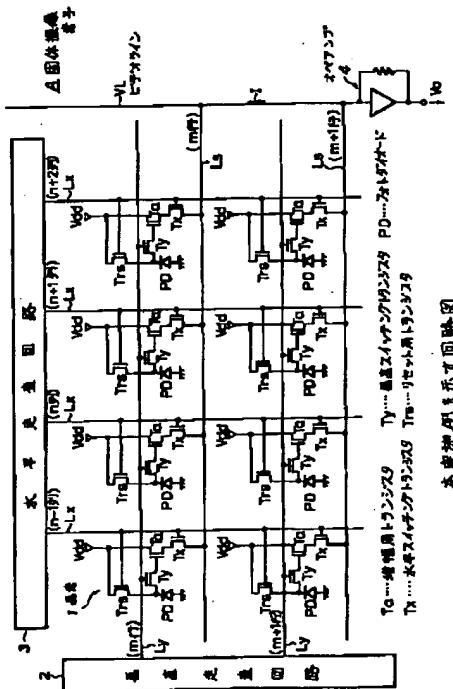
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 固体撮像装置

(57)【要約】

【目的】 AMIにおいて、外部メモリ等を用いることなく、容易にオフセット補正された撮像信号を得るようにして、しきい値電圧等のばらつきによる固定パターン雑音を安価かつ容易に抑圧できるようにする。

【構成】 各画素1において、水平スイッチングトランジスタTr_x及びリセット用トランジスタTr_{rs}が接続される列選択線L_xに2値の振幅を有する列選択信号を供給して、信号線L_sに真の信号電流とオフセット電流が重複された信号電流とオフセット電流を順次出力し、各信号電流及びオフセット電流をオペアンプ4にて電圧変換して夫々信号出力電圧及びリセット出力電圧としたのち、これら出力電圧V_oを例えばサンプル/ホールドして後段の例えば差動増幅器などを用いて上記信号出力電圧と上記リセット出力電圧とを減算処理する。



【特許請求の範囲】

【請求項1】 受光素子と、その受光素子からの信号電荷を増幅する増幅手段と、上記信号電荷をリセットするリセット手段を各画素に有し、これら画素がマトリクス状に配列されてなる固体撮像装置において、行選択信号が供給される行選択線に行選択スイッチが接続され、2値の振幅を有する列選択信号が供給される列選択線に上記リセット手段及び列選択スイッチが接続され、上記増幅手段から信号線に順次出力信号とリセット出力信号が outputされることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数の画素がマトリクス状に配列されてなる固体撮像装置に関し、特に、各画素内において光信号電荷が増幅される内部増幅型の固体撮像素子、所謂AMI (Amplified MOS Intelligent Imager) を有する固体撮像装置に関する。

【0002】

【従来の技術】 固体撮像装置の高解像度化に伴い、各画素毎に増幅機能を有した内部増幅型の固体撮像素子の研究が行われており、このような技術については、例えば「高感度固体撮像技術」、『テレビジョン学会誌』787~793頁、Vol.42, No.8 (1988) にその記載がある。

【0003】 ここで、簡単に増幅型固体撮像装置の一例について説明すると、その各画素の回路構成は、図4に示すように、受光素子PD、垂直スイッチングトランジスタTy、増幅用トランジスタTa及びリセット用のリセットトランジスタTrsより構成されている。即ち、受光素子PDに増幅用トランジスタTaのゲートとリセットトランジスタTrsのソースが接続され、増幅用トランジスタTaのドレインに垂直スイッチングトランジスタTyのソースが接続され、該垂直スイッチングトランジスタTy及びリセットトランジスタTrsの各ドレインに共通の電源線Sが接続され、そして、増幅用トランジスタTaのソースを介して該当画素の出力信号を得るように構成されている。この画素の信号読出し処理に関する等価回路を図5に示す。ここで、Txは水平スイッチングトランジスタを示す。

【0004】 この増幅型固体撮像装置では、各画素毎の受光素子PDに入射した光量に応じた信号電荷を画素毎に設けられた増幅用トランジスタTaのゲートに印加することにより、増幅された信号電流を出力信号として上記増幅用トランジスタTaのソースより取り出すようしている。

【0005】

【発明が解決しようとする課題】 しかしながら、従来の増幅型固体撮像装置においては、その共通の課題として固定パターン雑音 (FPN) がある。この固定パターン

雑音は、図6に示すように、オフセット電流Io sとして出力信号(出力電流)Ioに重複したかたちで現れ、特に、受光量が増大するに従って、その出力信号IoのSN比を劣化させる。この固定パターン雑音の発生要因としては、トランジスタの製造プロセス途中でのゴミの付着、光学マスクの不均一、マスク合わせ精度、露光条件などの加工精度の不均一から起因する各画素毎のトランジスタにおけるしきい値電圧のばらつき等がある。

【0006】 上記しきい値電圧のばらつきによる固定パターン雑音の除去方法としては、現在、外部メモリで対応している(1988年テレビジョン学会全国大会3-5「増幅型固体撮像素子AMIの固定パターンノイズ除去方式」参照)。この場合、フレームメモリが必要となるが、このフレームメモリを1画素-8ビット構成とした場合、780(H)×500(V)画素のディスプレイでは、 $780 \times 500 \times 8 = 3,120,000$ ビット必要となる。また、1150(H)×500(V)画素のHDTV対応のディスプレイでは、 $1150 \times 500 \times 8 = 4,640,000$ ビット必要となる。このように、外部メモリを使用する場合は、メモリ(例えばDRAM等)と該メモリに対しアクセスを行う大規模な信号処理回路を付加する分だけコスト増となり、その消費電力も増大するという不都合がある。

【0007】 本発明は、このような課題に鑑み成されたもので、その目的とするところは、コスト増を誘発する外部メモリを不要とし、かつ容易にしきい値電圧による出力電流オフセットを低減し、固定パターン雑音を抑圧することができる固体撮像装置を提供することにある。

【0008】

【課題を解決するための手段】 本発明は、受光素子PDと、その受光素子PDからの信号電荷を増幅する増幅手段Taと、上記信号電荷をリセットするリセット手段Trsを、各画素1に有し、これら画素1がマトリクス状に配列されてなる固体撮像装置において、行選択信号Vmが供給される行選択線Lyに行選択スイッチTyを接続し、2値の振幅Vx1及びVx2を有する列選択信号H[1]及びH[2]が供給される列選択線Lxにリセット手段Trs及び列選択スイッチTxを接続し、増幅手段Taから信号線Lsに順次出力信号I[1]とリセット出力信号I[2]を出力するように構成する。

【0009】

【作用】 上述の本発明の構成によれば、各画素1において、リセット手段Trs及び列選択スイッチTxが接続される列選択線Lxに2値の振幅Vx1及びVx2を有する列選択信号H[1]及びH[2]を供給して、信号線Lsに出力信号(真の信号電流Ioとオフセット電流Io[2]が重複された信号)I[1]とリセット出力信号(オフセット電流)I[2]を順次出力するようにしたので、各出力信号I[1]及びI[2]を例えばサンプル/ホールドして後段の例えば差動増幅器8などを用い

3

て上記出力信号 $I_{[1]}$ と上記リセット出力信号 $I_{[2]}$ を減算処理することにより、容易に、オフセット補正された信号出力 S_o を得ることができ、しきい値電圧のばらつきによる固定パターン雑音を安価にかつ容易に抑圧することができる。

【0010】

【実施例】以下、図1～図3を参照しながら本発明の実施例を説明する。図1は、本実施例に係る固体撮像装置の要部、特に、各画素の構造が、フォトダイオードで発生した光信号電荷に応じた電位をMOSFET (MOS型電界効果トランジスタ) のゲートに印加して電流增幅を行うタイプの内部増幅型固体撮像素子Aを示す回路図である。

【0011】この固体撮像素子Aの各画素1は、フォトダイオードPDと、夫々MOSFETで構成された増幅用トランジスタTa、水平スイッチングトランジスタTx、垂直スイッチングトランジスタTy及びリセット用トランジスタTrsとを有して成り、これら画素1がマトリクス状に配列されて固体撮像素子Aのイメージ部を構成する。また、このイメージ部の周辺には、垂直走査のための垂直走査回路2と、リセットと水平走査を兼ねる水平走査回路3が設けられている。

【0012】垂直走査回路2は、各行の垂直スイッチングトランジスタTyをオンオフ制御し、水平走査回路3は、各列の水平スイッチングトランジスタTxとリセット用トランジスタTrsをオンオフ制御する。そして、垂直走査回路2からの行選択信号Vmによって例えばm行が選択 (m行に関する垂直スイッチングトランジスタTyがオン) されているものとすると、水平走査回路3からの列選択信号Hに応じて順次例えばn-1列、n列、n+1列…が選択され、それに準じて、図示の例では、例えばm行n-1列、m行n列、m行n+1列…における画素1の出力電流Iがm行の信号線Lsを介してビデオラインVLに現れる。

【0013】次に、各画素1の構成を説明すると、各画素1におけるフォトダイオードPDは、そのカソードを通じて、垂直スイッチングトランジスタTyのドレインに接続されており、この垂直スイッチングトランジスタTyは、そのソースを介して増幅用トランジスタTaのゲートに接続されている。また、垂直スイッチングトランジスタTyのゲートには垂直走査回路2からの行選択線Lyが接続されている。この行選択線Lyを通じて垂直スイッチングトランジスタTyのゲートがオンされている状態においてはじめて、フォトダイオードPDで発生した光信号電荷に基づく電位が垂直スイッチングトランジスタを介して増幅用トランジスタのゲートに印加される。また、増幅用トランジスタTaには水平スイッチングトランジスタTxが直列に接続されると共に、水平スイッチングトランジスタTxのゲートには水平走査回路3からの列選択線Lxが接続され、更に、この水平ス

50

4

イッティングトランジスタTxのソースには信号線Lsが接続される。

【0014】また、フォトダイオードPDは、上記垂直スイッチングトランジスタTyのほか、リセット用トランジスタTrsにも接続されており、このリセット用トランジスタTrsのゲートには上記水平スイッチングトランジスタTxと同様に水平走査回路3からの列選択線Lxが接続される。そして、増幅用トランジスタTa及びリセット用トランジスタTrsの各ドレインには、全画素共通の電源電圧Vddが印加される。更に、本例では、水平スイッチングトランジスタTx及びリセット用トランジスタTrsがターンオンするしきい値を夫々Vthx及びVthrとすると、この二つのトランジスタTx及びTrsにおいて $V_{thx} < V_{thr}$ となるように設計する。

【0015】次に、本例に係る固体撮像装置の動作、特に、しきい値等のばらつきに起因するオフセット電位を除去し、固定パターン雑音を抑圧させる読出し方法について図2及び図3も参照しながら説明する。図2は、20 本例の固体撮像装置に用いられる減算処理回路Bを示すブロック線図であり、図3は、本例の信号読出し処理を示す波形図である。

【0016】まず、この固体撮像素子Aの初期状態において、各画素1のフォトダイオードPDにはリセット用トランジスタTrsを介して初期値Vddがセットされている。続く受光期間において、入射光によって励起された電子がフォトダイオードPDに吸収されるため、フォトダイオードPDの電位が、入射光に応じて減少する。次に垂直走査回路2から例えばm行の行選択線Ly30 に行選択信号Vmを供給する。この行選択信号Vmの供給によって、m行の垂直スイッチングトランジスタTyのゲートがオンし、m行に関するフォトダイオードPDの電位が垂直スイッチングトランジスタTyを通じて増幅用トランジスタTaのゲートに印加される。尚、この固体撮像素子Aにおいては、暗状態で最も出力電流が大きく、入射光が増すに従って出力電流が減少する所謂ネガ型の特性を有する。

【0017】次に、水平走査回路3から例えばn-1列の列選択線Lxに列選択信号Hn-1を供給する。この列選択信号Hn-1は、夫々1次と2次とに分けられ、1次の選択信号Hn-1 [1] は、その電圧振幅Vx1が2次のそれよりも小とされている。即ち、1次の選択信号Hn-1 [1] の電圧振幅Vx1は、水平スイッチングトランジスタTxのしきい値Vthxよりも大でリセット用トランジスタTrsのしきい値Vthrよりも小に設定され ($V_{thx} < V_{x1} < V_{thr}$)、2次の選択信号Hn-1 [2] の電圧振幅Vx2は、リセット用トランジスタTrsのしきい値Vthrよりも大に設定される ($V_{x2} > V_{thr}$)。

【0018】従って、1次の選択信号Hn-1 [1] の入力時には、水平スイッチングトランジスタTxがターン

オンし、増幅用トランジスタ T_a のゲートに加えられた電位に応じた信号電流（真の信号電流とオフセット電流が重畳された信号） I_{n-1} [1] を水平スイッチングトランジスタ T_x を通じて信号線 L_s に読み出し、更にこの信号線 L_s を通じてビデオライン VL に読み出す。このとき、リセット用トランジスタ T_{rs} はオフである。次の2次の選択信号 H_{n-1} [2] の入力時には水平スイッチングトランジスタ T_x がオンのままでリセット用トランジスタ T_{rs} がターンオンし、フォトダイオード PD に対するリセットが行われる。このとき、リセット時の信号電流（オフセット電流） I_{n-1} [1] が信号線 L_s を通じてビデオライン VL に読み出される。そして、水平走査回路 3 から順次 n 列、 $n+1$ 列、 $n+2$ 列・・・の各列選択線 L_x に夫々列選択信号 H_n 、 H_{n+1} 、 H_{n+2} ・・・を供給することにより、 m 行に関する画素 1 の信号電流 I [1] とリセット時の信号電流 I [2] を m 行の信号線 L_s を通じてビデオライン VL に読み出す。

【0019】以下、図 3 で示す1次の選択信号 (H_{n-1} [1]、 H_n [1]、 H_{n+1} [1]、 H_{n+2} [1] ...)、2次の選択信号 (H_{n-1} [2]、 H_n [2]、 H_{n+1} [2]、 H_{n+2} [2] ...)、信号電流 (I_{n-1} [1]、 I_n [1]、 I_{n+1} [1]、 I_{n+2} [1] ...) 及びオフセット電流 (I_{n-1} [2]、 I_n [2]、 I_{n+1} [2]、 I_{n+2} [2] ...) を夫々総称して、 H [1]、 H [2]、 I [1] 及び I [2] と記す。

【0020】ビデオライン VL に読み出された各信号電流 I [1]、 I [2] は、次段のオペアンプ 4 にて電圧変換され、出力電圧 V_o として後段の減算処理回路 B に供給される。上記出力電圧 V_o は、上記信号電流 I と同様に、1次の選択信号 H [1] に対応した信号出力電圧 V [1] (V_{n-1} [1]、 V_n [1]、 V_{n+1} [1]、 V_{n+2} [1] ...) と2次の選択信号 H [2] に対応したリセット出力電圧 V [2] (V_{n-1} [2]、 V_n [2]、 V_{n+1} [2]、 V_{n+2} [2] ...) が順次出力されたかたちとなっている。

【0021】減算処理回路 B は、三つのサンプリングホールド回路（以降、単に S/H 回路と記す）5、6及び7と差動増幅器 8 を有して成る。上記出力電圧 V_o は、接点 a を介して夫々第1の S/H 回路 5 と第3の S/H 回路 7 に供給される。第1の S/H 回路 5 に入力された出力電圧 V_o は、第1のクロック信号 C_1 に基づいて信号出力電圧 V [1] がサンプリングホールドされ、第3の S/H 回路 7 に入力された出力電圧 V_o は、第2のクロック信号 C_2 に基づいてリセット出力電圧 V [2] がサンプリングホールドされる。第1の S/H 回路 5 から出力される第1のサンプリングホールド信号（以降、単に S/H 信号と記す） $S H_1$ は、更に第2の S/H 回路 6 に供給される。この第2の S/H 回路 6 に入力された第1の S/H 信号 $S H_1$ は、第2のクロック信号 C_2 に

40
50

に基づいてサンプリングホールドされる。そして、この第2の S/H 回路 6 から、上記信号出力電圧 V [1] と同じ振幅を有し、かつ第2のクロック信号 C_2 の出力タイミングと同期した第2の S/H 信号 $S H_2$ が出力され、第3の S/H 回路 7 から、上記リセット出力電圧 V [2] と同じ振幅を有し、かつ第2のクロック信号 C_2 の出力タイミングと同期した第3の S/H 信号 $S H_3$ が出力される。

【0022】これら第2の S/H 信号 $S H_2$ と第3の S/H 信号 $S H_3$ は、次段の差動増幅器 8 に供給され、該差動増幅器 8 において各 S/H 信号 $S H_2$ 及び $S H_3$ の減算処理が行われ、その出力端子 ϕ より減算処理後の撮像信号 S_o が outputされる。即ち、上記第2の S/H 信号 $S H_2$ は、上記信号出力電圧 V [1] と等値であり、この信号 $S H_2$ には、リセット時のオフセット電流 I [2] に基づくリセット出力電圧 V [2] が重畳されている。また、上記第3の S/H 信号 $S H_3$ が、該リセット出力電圧 V [2] と等値であることから、この減算処理により、リセット出力電圧 V [2] が相殺され、従つて、この減算処理回路 B の出力端子 ϕ からは真の信号電流 I_o ($= I$ [1] - I [2]) に基づく撮像信号 S_o が outputされる。

【0023】上述のように、本例によれば、各画素 1 において、水平スイッチングトランジスタ T_x 及びリセット用トランジスタ T_{rs} が接続される列選択線 L_x に2値の振幅 V_{x1} 及び V_{x2} を有する列選択信号 H [1] 及び H [2] を供給して、信号線 L_s に真の信号電流 I_o とオフセット電流 I [2] が重畳された信号電流 I [1] とオフセット電流 I [2] を順次出力し、各信号電流 I [1] 及びオフセット電流 I [2] をオペアンプ 4 にて電圧変換して夫々信号出力電圧 V [1] 及びリセット出力電圧 V [2] としたのち、これら出力電圧 V_o を例えばサンプル/ホールドして後段の例えば差動増幅器 8 などを用いて上記信号出力電圧 V [1] と上記リセット出力電圧 V [2] とを減算処理するようにしたので、外部メモリ等を用いることなく、容易にオフセット補正された撮像信号 S_o を得ることができ、しきい値電圧等のばらつきによる固定パターン雑音を安価にかつ容易に抑圧することができる。

【0024】

【発明の効果】本発明に係る固体撮像装置によれば、コスト増を誘発する外部メモリを不要とし、かつ容易にしきい値電圧による出力電流オフセットを低減し、固定パターン雑音を容易に、かつ安価に抑圧することができる。

【図面の簡単な説明】

【図 1】本実施例に係る固体撮像装置の要部（固体撮像素子）の構成を示す回路図

【図 2】本実施例に係る減算処理回路の構成を示すプロック線図

【図3】本実施例に係る固体撮像装置の信号処理を示す
波形図

【図4】従来例に係る画素の回路構成を示す回路図

【図5】従来例の信号読出し処理を示す等価回路図

【図6】受光量に対する出力電流の変化を示す特性図

【符号の説明】

A 固体撮像素子

B 減算処理回路

1 画素

2 垂直走査回路

3 水平走査回路

4 オペアンプ

5 第1のS/H回路

6 第2のS/H回路

7 第3のS/H回路

8 差動増幅器

Ta 増幅用トランジスタ

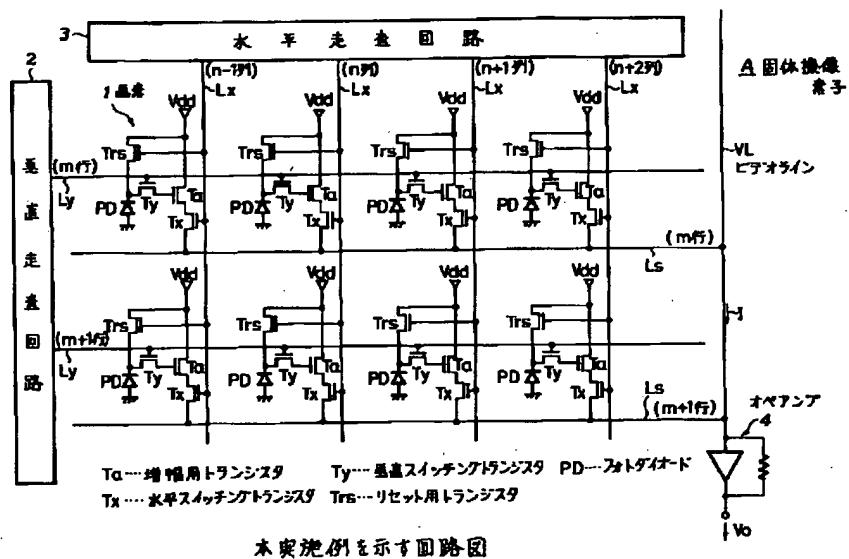
Ty 垂直スイッチングトランジスタ

Tx 水平スイッチングトランジスタ

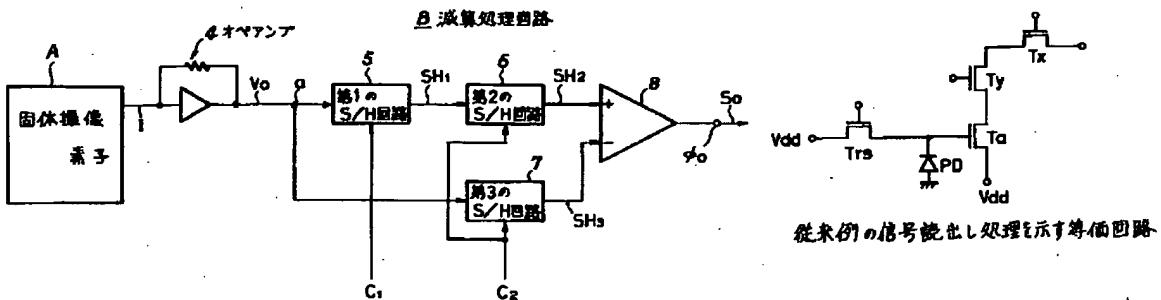
Trs リセット用トランジスタ

10 PD フォトダイオード

【図1】

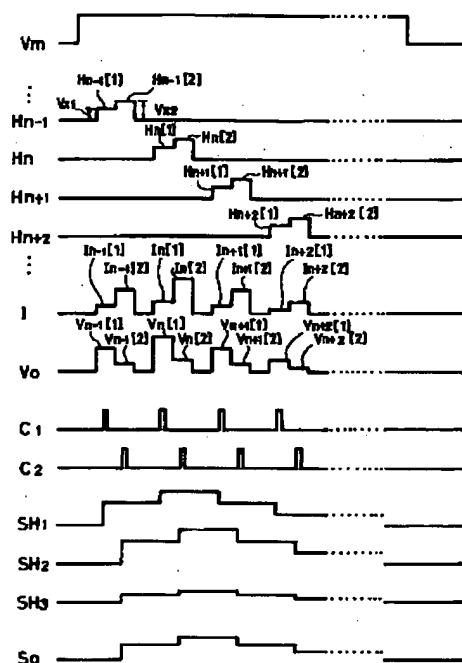


【図2】



本実施例に係る減算処理回路を示すブロック線図

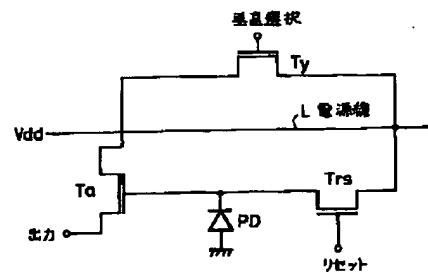
【図3】



Hn-1(1), Hn(1), Hn+1(1) → H(1)
 Hn-1(2), Hn(2), Hn+1(2) → H(2)
 Ia(1), Ia(2), Ia+1(1) → I(1)
 Ia(2), Ia(2), Ia+1(2) → I(2)
 Vn-1(1), Vn(1), Vn+1(1) → V(1)
 Vn-1(2), Vn(2), Vn+1(2) → V(2)

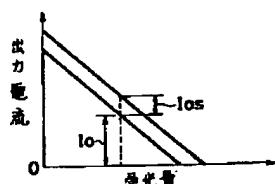
本実施例の信号処理を示す波形図

【図4】



従来例に係る通常の回路構成を示す回路図

【図6】



発光量に対する出力電流の変化を示す特性図